

26 ДЕК 2001



ФЕДЕРАЛЬНЫЙ ИНСТИТУТ
ПРОМЫШЛЕННОЙ СОБСТВЕННОСТИ

121858, Москва, Бережковская наб., 30, корп. 1
Телефон 240-60-15 Телекс 114818 ПЧД Факс 243-33-37

ОТДЕЛ №28

☒ (74)

129010, Москва,
ул.Б.Спасская, 25, строение 3,
ООО «Юридическая фирма
Городисский и Партнеры»,
пат.пов. Емельянову Е.И.

На №2420-118186/012 от _

(21) Наш № 97119733/28(020011)

При переписке просим ссылаться на номер заявки и
сообщить дату получения данной корреспонденции

ЗАПРОС

(21) по заявке № 97119733/28(020011)

(22) Дата поступления заявки 14.11.1997

(86) Заявка № РСТ/

(96) Заявка №ЕА

(71) Заявитель(и) ХИТАЧИ ЛИМИТЕД

(51) МПК 7 H01L 29/76, 29/788, G11C 16/04

МКПО

Для обеспечения возможности дальнейшего рассмотрения заявки, экспертиза предлагает заявителю представить материалы, документы, сведения в связи с поставленными вопросами, мнение относительно приведенных в запросе доводов, замечаний, предложений.

Ответ на запрос должен быть представлен в установленный пунктом 8 статьи 21 Патентного закона Российской Федерации (введен в действие 14.10.92) срок. По просьбе заявителя, поступившей до истечения этого срока, он может быть продлен при условии представления документа об уплате пошлины в установленном порядке.

В случае непоступления в указанный срок ответа на запрос или при непродлении этого срока заявка будет признана отозванной.

ВОПРОСЫ, ДОВОДЫ, ЗАМЕЧАНИЯ, ПРЕДЛОЖЕНИЯ

Экспертиза приносит свои извинения за несколько затянувшееся делопроизводство по заявке.

В результате экспертизы заявки по существу, проводимой в соответствии с Патентным законом РФ, введенным в действие 14.10.1992 (далее - Закон) и Правилами составления, подачи и рассмотрения заявки на выдачу патента на изобретение, введенными в действие 16.10.1998 (далее - Правила), экспертиза сообщает следующее.

05

См. на обороте

280304

The distinguishing features of Claims 36 to 42 are known from the prior art and are also contained in the above-listed references; thus, known is presence of source and drain lines extending along the rows of the cells for controlling the tunnelling of charge through the barrier configurations of the cells. It is also known that the arrays can comprise reading lines, a precharge circuit, a read/write circuit, data output means, and data refreshing means. It is known that the memory arrays can comprise transistor structures.

A method according to Claim 43 of fabricating a memory device according to Claims 1 and 60 is known from the above-listed references, particularly, D3, D8, D13 as well as from Patent JP 58-182876, October 25, 1983 (Abstract in p. 1), Patent JP 03-024761, February 1, 1991.

The distinguishing features of Claims 44 to 59 are known from the prior art and are also contained in the above-listed references; thus, said references disclose embodiments of the above-listed members according to Claims 2 to 34.

The distinguishing features of Claims 60 and 61 are known from the above-listed references according to the above arguments.

At the same time, the technical result is identical to the claimed one, that is, said result consists in that the optimization of the writing, reading and erasing time is provided for the memory device.

Thus, the invention as defined in Claims 1, 35, does not meet the condition of novelty, because it is known from the prior art; the invention as defined in Claims 43, 60, 61 as well as in Claims 2 to 34, 44 to 59, does not meet the condition of inventive step, because it evidently follows from the prior art for the skilled person.

The Applicant is invited to submit his decision within the period stipulated by the Act.

Chief State Patent Examiner	signature	A.G. Tsarev
of the Transportation, Testing and Measurement Equipment Department		

Заявлено изобретение «Запоминающее устройство, множество запоминающих устройств и способ изготовления запоминающего устройства», охарактеризованное в формуле изобретения, относительно которой проводилась экспертиза по существу с привлечением материалов описания и чертежей.

Заявителем испрашивается приоритет по дате подачи первой заявки в стране-участнице Парижской конвенции (п.2 ст.19 Закона): ЕР 96308283.9 от 15.11.1996.

В результате проведенного информационного поиска экспертиза обнаружила источники информации, порочащие новизну и изобретательский уровень заявленного изобретения:

- D1 - JP 55-087490, 02.07.1980,
- D2 - JP 56-051876, 09.05.1981,
- D3 - JP 06-291330, 18.10.1994,
- D4 - JP 05-055600, 05.03.1993,
- D5 - JP 01-115165, 08.05.1989,
- D6 - JP 62-035572, 16.02.1987,
- D7 - JP 61-294688, 25.12.1986,
- D8 - JP 07-135260, 23.05.1995,
- D9 - JP 05-028778, 05.02.1993,
- D10 - JP 02-110979, 24.04.1990,
- D11 - JP 05-226611, 03.09.1993,
- D12 - JP 62-049670, 04.03.1987, рефераты на 1 стр.;
- D13 - FR 2111866A, 09.06.1972 (см. с.3, 6, фиг.1, 3A, 3B).

В D1-D5, D13 описаны устройства памяти, которые содержат канал для носителей заряда, узел хранения заряда для образования поля, изменяющего проводимость канала, конфигурацию туннельного перехода, которая «демонстрирует профиль энергетической зоны, который ... с относительно большой высотой барьера» по п.1 формулы.

Отличительные признаки п.2-34 известны из уровня техники, а также содержатся в перечисленных выше источниках, так известны вариации размеров слоев барьера, выполнение барьера в виде многотуннельного перехода с чередующимися слоями из электропроводного и электроизоляционного материала, при этом чередующиеся слои могут содержать поликристаллический кремний и нитрид кремния.

Для сведения заявителя

При запросе копий противопоставленных источников информации необходимо представить документ об оплате услуги за предоставление испрашиваемого количества страниц, указанных в тексте по действующим тарифам:

- непатентная литература	договорная	за 1 страницу
- патентная литература	договорная	за 1 страницу

Известно выполнение барьера в виде барьера Шоттки с различными вариациями слоев, известно выполнение узла хранения заряда со множеством проводящих островков, имеющих различные размеры, выполненные из полупроводникового материала или из металла. Известно выполнение электродов у вышеописанного устройства памяти, наличие канала и истока, стока, подсоединенных к каналу.

В D6-D12 описаны матрицы с устройствами памяти, из рядов и столбцов на общей подложке по п.35 формулы.

Отличительные признаки п.36-42 известны из уровня техники, а также содержатся в перечисленных выше источниках, так известно наличие линий истока и стока, проходящие вдоль рядов ячеек для управления туннелированием заряда через барьерные конфигурации ячеек. Также известно наличие в матрицах линий считывания, схемы предварительной зарядки, схемы считывания записи, средства вывода данных, средство обновления данных. Известно наличие в матрицах памяти транзисторных структур.

Способ изготовления запоминающего устройства в соответствии с п.1 и п.60 по п.43 известен из вышеперечисленных источников, в частности из D3, D8, D13, а также из патента JP 58-182876, 25.10.1983 (реферат на 1 стр.), патента JP 03-024761, 01.02.1991.

Отличительные признаки п.44-59 известны из уровня техники, а также содержатся в перечисленных выше источниках, так известно выполнение вышеперечисленных элементов, согласно п.2-34 в указываемых источниках.

Признаки п.60 и п.61 известны из вышеперечисленных источников в соответствии с вышеприведенными доводами.

Технический результат при этом аналогичен заявленному, т.е. в результате для устройства памяти обеспечивается оптимизация времени записи, считывания и стирания.

Таким образом изобретение в том виде как оно охарактеризовано в п.1, 35 не удовлетворяет условию новизны, поскольку известно из уровня техники, изобретение в том виде как оно охарактеризовано в п.43, 60, 61, а также п.2-34, 44-59 не удовлетворяет условию изобретательский уровень, поскольку для специалиста явным образом следует из уровня техники.

Экспертиза предлагает заявителю представить свое решение в установленный Законом срок.

Главный государственный патентный эксперт отдела
транспортной, испытательной
и измерительной техники



А.Г. Царев

2412-118186.4102

RUSSIAN AGENCY FOR PATENTS AND TRADEMARKS (ROSPATENT)

FEDERAL INSTITUTE OF INDUSTRIAL PROPERTY (FIIP)

Your Re № 2412-118186.4102

Our Re № 97119733/28 (020011)

In reply please refer to Application № and
indicate date of receipt of this communication

December 26, 2001

OFFICIAL ACTION

(21) Application № 97119733/28 (020011)

(22) Filing date: November 14, 1997

(71) Applicant: HITACHI LIMITED

(51) IPC⁷ H01L 29/76, 29/788, G11C 16/04

QUESTIONS, ARGUMENTS, OBJECTIONS, PROPOSALS

The Examiner brings his apologies for slightly prolonged proceeding of the Application.

As a result of substantive examination of the Application, performed in accordance with the Patent Act of the Russian Federation (hereinafter referred to as the Act) put in force on October 14, 1992, and the Rules for Compiling, Filing and Proceeding an Application for the Grant of a Patent for Invention (hereinafter referred to as the Rules) put in force on October 16, 1998, the Examiner informs as follows.

Disclosure is made of the invention "A memory device, a plurality of memory devices, and a method of fabricating a memory device" defined in the set of Claims which should be examined in essence using the Specification materials and drawings.

The Applicant asks to establish the priority as of November 15, 1996, in accordance with the date of filing original Application EP 96308283.9 filed in the country taking part in the Paris Convention (para 2 of Article 19 of the Act).

As a result of the information search carried out, the Examiner detected references which anticipate the novelty and inventive step of the claimed invention:

D1 - JP 55-087490, July 2, 1980;
D2 - JP 56-051876, May 9, 1981;
D3 - JP 06-291330, October 18, 1994;
D4 - JP 05-055600, March 5, 1993;
D5 - JP 01-115165, May 8, 1989;
D6 - JP 62-035572, February 16, 1987;
D7 - JP 61-294688, December 25, 1986;
D8 - JP 07-135260, May 23, 1995;
D9 - JP 05-028778, February 5, 1993;
D10 - JP 02-110979, April 4, 1990;
D11 - JP 05-226611, September 3, 1993;
D12 - JP 62-049670, March 4, 1987; Abstracts in p. 1;
D13 - FR 2111866A, June 9, 1972 (see pp. 3, 6; Figs. 1, 3A, 3B).

D1-D5 and D13 disclose memory devices comprising a path for charge carriers, a node for storing charge to produce a field which alters the conductivity of the path, and a tunnel barrier configuration "exhibiting an energy band profile that... with a relatively high barrier height" according to Claim 1.

The distinguishing features of Claims 2 to 34 are known from the prior art and are also contained in the above-listed references; thus, known are dimension variations of barrier layers, an embodiment of a barrier as a multiple tunnel transition having alternate layers of an electrically conductive material and an selectively insulating material, said alternate layers can comprise polysilicon and silicon nitride.

Known is an embodiment of the barrier as a Schottky barrier with different variations of layers; known is an embodiment of the charge storage node with a plurality of conductive islands having different dimensions and made of a semiconductor material or a metal. Known is an embodiment of electrodes in said memory device, presence of a path, and presence of a source and a drain both connected to the path.

D6-D12 disclose arrays of memory devices in rows and columns in a common substrate according to Claim 35.